

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-211442

(43)Date of publication of application : 20.08.1993

(51)Int.Cl.

H03M 1/10  
G01R 31/00

(21)Application number : 04-040229

(71)Applicant : YOKOGAWA HEWLETT PACKARD  
LTD

(22)Date of filing : 30.01.1992

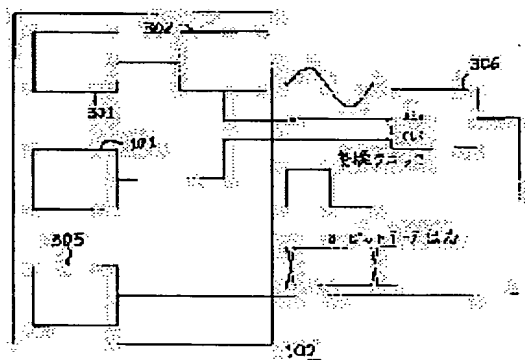
(72)Inventor : KITAMURA TOSHIKI

## (54) TEST METHOD FOR A/D CONVERTER

## (57)Abstract:

**PURPOSE:** To provide the measurement method not required to set a delay of a conversion clock signal again in the aperture jitter measurement of an A/D converter being a measured device.

**CONSTITUTION:** The method is provided with a step in which a frequency  $f_1$  of a sine wave signal impressed to an A/D converter 30b and a frequency  $f_2$  of a conversion clock signal are set respectively to satisfy the relation of  $nf_1 : mf_2$  ( $n, m$  are integers), a step in which a period till a phase difference between the sine wave signal and the conversion clock signal is again the same is used for one measurement cycle, digital data of the same number order are formed as a group in each measurement cycle among digital data resulting from converting and outputting the sine wave signal by the A/D converter 30b, a step in which a standard deviation is calculated to each of plural data groups to be formed, and a step in which the smallest standard deviation is used among calculated standard deviations to calculate aperture jitter.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-211442

(43)公開日 平成5年(1993)8月20日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

FI

### 技術表示箇所

H O 3 M 1/10

C 9065—5 J

G O I R 31/00

7808-2 G

審査請求 未請求 請求項の数 1 (全 4 頁)

(21)出願番号

特願平4-40229

(22)出廳日

平成4年(1992)1月30日

(71)出願人 000121914

横河・ヒューレット・パッカード株式会社

東京都八王子市高倉町9番1号

(72)発明者 北村 俊明

東京都八王子市高倉町9番1号 横河・ヒ

ユーレット・パッカード株式会社内

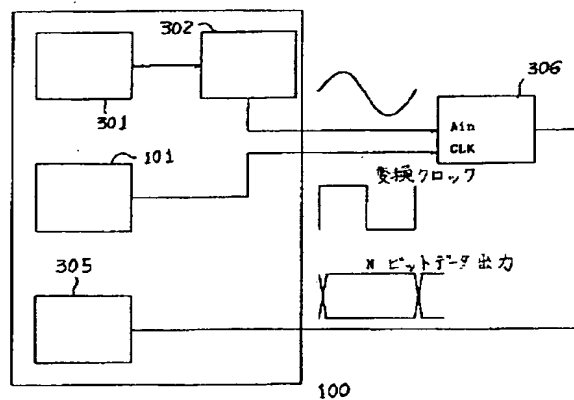
(74)代理人 弁理士 長谷川 次男

(54)【発明の名称】 アナログ・ディジタル変換器の試験方法

(57) 【要約】

【目的】被測定デバイスであるA/D変換器のアーバチャジッタ測定において、変換クロック信号の遅延量を設定し直す必要のない測定方法を提供する。

【構成】本発明による測定方法は、A/D変換器に印加する正弦波信号の周波数 $f_1$ と変換クロック信号の周波数 $f_2$ とを $nf_1 = mf_2$ （ $n$ 、 $m$ は整数）を満足するようにそれぞれ設定する段階と、前記正弦波信号と前記変換クロック信号との位相差が再び同一となるまでの期間を1測定サイクルとし、前記A/D変換器により前記正弦波信号を変換、出力したディジタルデータのうち、各測定サイクルにおける同一番目のディジタルデータ同士でグループを構成する段階と、前記形成された複数のデータグループのそれぞれに対して標準偏差を算出する段階と、前記算出された標準偏差のうち、一番小さい標準偏差を用いてアバーチャジッタを算出する段階とを備えて成る。



## 【特許請求の範囲】

【請求項1】被測定デバイスであるアナログ・デジタル変換器に印加する正弦波信号の周波数を $f_1$ 、変換クロック信号の周波数を $f_2$ として、 $n f_1 = m f_2$ （ $n$ 、 $m$ はそれぞれ整数）の関係を満足するようにそれぞれの周波数 $f_1$ 、 $f_2$ を設定する段階と、前記正弦波信号と前記変換クロック信号との位相差が再び同一となるまでの期間を1測定サイクルとして、前記アナログ・デジタル変換器により前記正弦波信号を変換して出力されたデジタル出力データのうち、各測定サイクルにおける同一番目のデジタル出力データ同士でグループを構成する段階と、前記形成された複数のデータグループのそれぞれに対して標準偏差を算出する段階と、前記算出された標準偏差のうち、一番小さい標準偏差を用いてアバーチャジッタを算出する段階と、を備えて成るアナログ・デジタル変換器の試験方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、一般に、アナログ・デジタル変換器の試験方法に関し、特に、アナログ・デジタル変換器のアバーチャジッタの測定方法に関する。

## 【0002】

【従来の技術】アナログ・デジタル（A/D）変換器の性能の試験項目の一つにアバーチャジッタがある。アバーチャジッタは、入力信号をサンプリングしてA/D変換する際のサンプル点における時間的ジッタであって、これは、サンプリングパルスの時間的ジッタの他、A/D変換器内のコンパレータのバラツキなどによって生じる。アバーチャジッタを $\Delta t$ 、入力信号電圧波形の\*

$$\Delta t = \Delta V_{ref} \cdot \sigma_{min} / (dV/dt) \quad \text{①}$$

で表される。しかしながら、この方法によるアバーチャジッタの測定では、明らかに変換クロックの遅延の設定し直しが必要となるため、測定速度が遅くなり、また、遅延器304の安定性が変換クロックの時間的ジッタに影響を与えるため、測定精度が悪化するという欠点が存在する。

## 【0006】

【発明が解決しようとする課題】本発明の課題は、上述した従来技術の欠点を解消し、変換クロックの遅延量の設定し直しの必要のないアバーチャジッタ測定方法を提供することにある。

## 【0007】

【課題を解決するための手段】本発明の一実施例によれば、被測定デバイスであるアナログ・デジタル変換器に印加する正弦波信号の周波数を $f_1$ 、変換クロック信号の周波数を $f_2$ として、 $n f_1 = m f_2$ （ $n$ 、 $m$ はそれぞれ整数）の関係を満足するようにそれぞれの周波数 $f_1$ 、 $f_2$ を設定する段階と、前記正弦波信号と前記変

\*微分係数を $dV/dt$ としたとき、 $\Delta V = \Delta t \cdot (dV/dt)$ なる電圧誤差 $\Delta V$ が発生し、A/D変換器の変換精度を悪化させる。

【0003】図3に従来のアバーチャジッタ測定装置の構成例を示す。該測定装置300は、クロック信号発生器301と、クロック信号発生器301からのクロック信号出力にตอบสนองして入力デジタル信号をアナログ信号に順次変換し正弦波など所望の信号波形を出力するデジタル・アナログ（D/A）変換器302と、クロック信号発生器301からのクロック信号出力を1/Nに分周する分周器303と、分周器303の出力を所定量遅延させる遅延器304と、デジタル・メモリ305とを備えている。D/A変換器302の出力および遅延器304の出力はそれぞれ被測定デバイス、すなわちA/D変換器306の信号入力端子 $A_{in}$ 、クロック入力端子CLKに接続され、A/D変換器306の出力はデジタル・メモリ305に接続される。

【0004】測定は次のように行われる。A/D変換器306に印加される入力信号波形は正弦波とする。まず、A/D変換器306の出力デジタルコード中、アバーチャジッタを求めたいコードに対応する入力信号の位相付近で、遅延器304により順次変換クロックの遅延量を設定し直し、各遅延量設定ごとにその都度必要数の出力デジタルデータをメモリ305に取り込む。その後、各設定遅延量ごとの測定データに統計的処理を施し、標準偏差の一番小さいものをアバーチャジッタの算出に用いる。

【0005】一番小さい標準偏差を $\sigma_{min}$ 、入力信号電圧波形の微分係数を $dV/dt$ 、A/D変換器306の1LSBに対応する理想の電圧幅を $\Delta V_{ref}$ とすると、アバーチャジッタ $\Delta t$ は、たとえば、

換クロック信号との位相差が再び同一となるまでの期間を1測定サイクルとして、前記アナログ・デジタル変換器により前記正弦波信号を変換して出力されたデジタル出力データのうち、各測定サイクルにおける同一番目のデジタル出力データ同士でグループを構成する段階と、前記形成された複数のデータグループのそれぞれに対して標準偏差を算出する段階と、前記算出された標準偏差のうち、一番小さい標準偏差を用いてアバーチャジッタを算出する段階と、を備えて成るアナログ・デジタル変換器の試験方法が提供される。

## 【0008】

【実施例】図1に、本発明によるアバーチャジッタ測定装置の一実施例を示す。該測定装置100は、図3に示す測定装置300に比べ、クロック信号発生器101が付加されている。図中、図3に示す構成要素と同一番号のものは同一機能を有する。クロック信号発生器301とD/A変換器302とはA/D変換器306に所望の信号波形を出力するための信号源として機能する。D/A

A変換器302の出力は、必要に応じて低域通過フィルタを介して測定装置100より出力される。クロック信号発生器301と101とは互いに同期している。以下に、図1の装置に関する動作説明を図2のタイムチャートを用いて詳説する。A/D変換器306は3ビットのものとする。D/A変換器302の出力は、被測定デバイスであるA/D変換器306に正弦波信号を供給する。クロック信号発生器101は正弦波信号より少し遅い周波数の変換クロック信号をA/D変換器306に供給する。A/D変換器306は、入力正弦波信号の所望のサンプル点のアナログ値を変換クロック信号に忠実に順次デジタル値に変換し出力する。出力された出力データは変換クロック信号と同じタイミングでデジタル・メモリ305に取り込まれる。信号源とクロック信号発生器101との周波数をうまく選べば、正弦波信号と変換クロック信号との位相が1周期分ずれたとき、また正弦波信号の、前と同じ点を繰り返し変換できる。図では、同じサンプル点に対するデジタルデータが4回まで取り込まれたところを示している。同じ点を連続して変換するのではなく、図のように、正弦波の各周期ごとに、正弦波に対する変換クロック信号の位相を少しずつずらしながら変換するのが従来の装置と異なる点である。

【0009】次に、取り込まれたデータの処理を、コード“100”で説明する。A点のタイミングでは、コード“011”と“100”の中間のため出力データの平均は3.5となる。B点のタイミングでは、コード“100”そのものの中間のため出力データの平均は4.0となる。C点のタイミングでは、コード“100”と“101”の中間のため出力データの平均は4.5となる。ここで、平均データの小数点以下の値（もしくは標\*

\* 準偏差) が最も大きい変換タイミングがA/D変換器のコード変換点であり、平均データの小数点以下の値（もしくは標準偏差）が最も小さい変換タイミングがA/D変換器のコード中心点である。アパーチャジッタは、この最小標準偏差を用いて、たとえば⑩式により算出される。また、隣合ったコード変換点と変換点との間の電圧幅と、A/D変換器306の1LSBに対応する理想の電圧幅との比（差）は、そのコードにおける動的微分非直線性誤差を表す。上記の説明では、A/D変換器に所望の正弦波信号を供給するための信号源として、D/A変換器302と、これにクロック信号を印加するクロック信号発生器301とを備えた信号発生装置を用いていたが、クロック信号発生器101と同期のとれる正弦波信号発生器であれば、これと代替できることは言うまでもない。

【0010】

【発明の効果】以上説明したように、本発明を用いることにより、変換クロックの遅延量の設定し直しをすることなく、アパーチャジッタを測定することができる。

20 【図面の簡単な説明】

【図1】従来のアパーチャジッタ測定装置を示す図である。

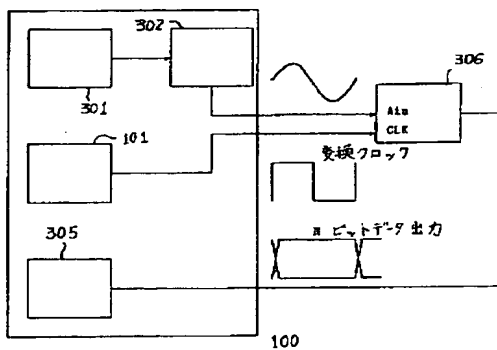
【図2】本発明によるアパーチャジッタ測定装置の一実施例を示す図である。

【図3】図2に示す装置の動作を説明するための図である。

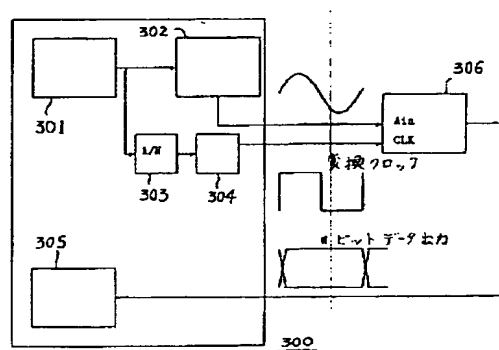
【符号の説明】

101、301：クロック信号発生器、 3  
02：D/A変換器  
305：デジタル・メモリ、 3  
06：A/D変換器

【図1】



【図3】



特開平5-211442

Figure 10-10 illustrates the waveform of a 4-bit parallel-to-serial converter. The top part shows an analog sine wave representing the input data, with levels 011, 010, 001, and 000 marked. The bottom part shows a digital square wave representing the output serial data. The output is high for '1' and low for '0'. The output sequence is 011, 100, 100, 101. Below this, a timing diagram shows the output of each bit (011, 100, 100, 101) and the final output 011. The average value is calculated as 3.0, 3.6, 4.0, 4.6, 5.0.